המכללה האקדמית להנדסה אורט בראודה סמסטר קיץ, תשע"ז

המחלקה להנדסת תכנה ומערכות מידע

**שם הקורס:** ארכיטקטורה ומבנה המחשב

**מס' הקורס:** 61810

**היקף הקורס:** הרצאה: 3 ש"ש, תרגיל: 1 ש"ש,

**נקודות זכות:** 3.5

**קורסי קדם:** מערכות ספרתיות 61212 , תכן-לוגי 61314, את"מ.61210

**קורסים צמודים:**  ארכיטקטורה ומבנה המחשב 61748

**מטרות הקורס:**

**להכיר לסטודנט רבדים בסיסיים בחומרה של המחשב: התנהלות יחידת העיבוד המרכזית, מבנה הזיכרון האלקטרוני לסוגיו, אמצעי חומרה לשיפור ביצועים, התנהלות עקרונית של הזיכרון המשני.**

**תיאור מהלך הקורס והדרישות:**

**בהרצאות ובתרגולים יועברו חומר תאורטי, תיאור טכניקות תכנות ותוכניות. הסטודנטים יקבלו בעיקר תרגילי בית תאורטיים ואולי גם מטלות תכנות.**

**אתר האינטרנט של הקורס:**

**http://math.haifa.ac.il/ronn/CompArch610810**

**קביעת הציון:**

**25% ציוני תרגילי בית, 75% מבחן סופי. יתכנו תרגילי בית בונוס המגדילים את היקף המגן על חשבון הבחינה הסופית.**

### נושאי הלימוד:

1. **סקירה של מבנה מערכת מחשוב מודרנית:**

מנגנוני מערכת, מודל שכבות, מימוש המכונה הוירטואלית

1. **מבנה זיכרון חיצוני הדיסק הקשיח:**

רכיבי החומרה בדיסק הקשיח (Tracks, Sectors …), מימוש מודל עצי ספריות וקבצים, Low Level Format, High Level Format . מעבדים IO Processor, Direct Memory Access (DMA). אמצעי אבטחת עמידות Raid 0-6. דיסקי SSD וניהולם.

1. **מודל התוכניתן במערכות מודרניות:**

מנגנוני הגנה, רמות פריווילגיה, ניהול זיכרון, סגמנטציה, מיעון וירטואלי, זיכרון וירטואלי, מנגנון הדפדוף, גישה לזיכרון, מרחבי כתובות לינאריים ופיזיים.

1. **מבנה הזיכרון האלקטרוני**:

מבנה SRAM, מבנה DRAM, טכניקת Memory Interleaving והשלכותיו. היררכיה של זיכרון. גרסאות של DRAM: Independent Memory Banks, SDRAM, DDR SDRAM. חישובי זמני גישה בגרסאות השונות.

1. היררכיה של זיכרון, מימושי Cache, סוגים ואלגוריתמים שונים: Fully associative, Direct map, n-way associative. אפשרויות שונות למדיניות: Write back, write through, LRU, LFU רמות של Cache: Banked, Unified.
2. **תמיכה ברמת החומרה למימוש עיבוד מקבילי**:

מקביליות ברמת ביצוע פקודות מכונה-**Instruction Level Parallel Processing**: שיטות VLIW, מעבדים מצונרים (pipeline), In Order Execution ו-Out of Order Execution. Superscalar. מודלים שונים של יחידות ביצוע. מקביליות בשלב אחד, מקביליות מתפרסת על מספר שלבים. שיטות שיפור מקביליות ברמת המהדר: Static Scheduling, Loop Unrolling,.

התמודדות עם בעיות הנובעות מעיבוד מקבילי של פקודות מכונה: Data Hazards, Control Hazards. סכמות של מימוש ומבני נתונים (Reservation Station, Reorder Buffer, Common Data Bus). שיטות שיפור ביצועים ברמת המעבד Dynamic Scheduling, non-speculative, speculative . האלגוריתם של Tomasulu.

תמיכה ברמת החומרה לפעולות וקטוריות (SIMD). תכנות SIMD בx86\_64-.

**ספר הלימוד:**

###### **חוברת הקורס.**

1. J.L.Hennessy, D.A. Patterson, Computer Architecture, A Quantitative Approach,

Morgan Kaufman, 5th Edition, 2014.

1. AMD64 Architecture Programmer Manual Vol 1,2 (Application Programming, System Programming).
2. Intel 64 and IA-32 Software Developers Manual (vol 1,2).
3. Hans-Peter Messmer - The Indispensable Hardware Book, Addison-Wesley, 1995
4. Intel 486 Programmer’s Reference Manual
5. Motorola PowerPC Microprocessor Family: The Programmer's Reference Guide.

**ספרות מומלצת נוספת:**

**דף הסילבוסים באתר הספרייה**

**חומר עזר:**

**תוצרי למידה:**

On successful completion of the course, the student will:

* Have a basic, though state of the art, understanding of the basic hardware of computers.
* Have a complete understanding of state of the art Programmers Model of the x86\_64, MIPS CPUs
* Have a basic understanding of the most important internal (programmer invisible) features of modern CPUs, Main Memory and Hard Disks.
* Be able to write SIMD assembly programs in x86\_64.

**אישור פרופ' זאב וולקוביץ ראש המחלקה להנדסת תכנה ומערכות מידע**

**חתימה**